

Family list**9** family members for:**JP6196490**

Derived from 6 applications.

- 1 Semiconductor device manufacturing method**
Publication info: **DE69323979D D1** - 1999-04-22
- 2 Semiconductor device manufacturing method**
Publication info: **DE69323979T T2** - 1999-07-29
- 3 Semiconductor device manufacturing method**
Publication info: **EP0604234 A2** - 1994-06-29
EP0604234 A3 - 1995-01-11
EP0604234 B1 - 1999-03-17
- 4 MANUFACTURE OF SEMICONDUCTOR DEVICE**
Publication info: **JP3024409B2 B2** - 2000-03-21
JP6196490 A - 1994-07-15
- 5 SEMICONDUCTOR DEVICE MANUFACTURING METHOD FOR REMOVING
CONTAMINATION MATERIALS**
Publication info: **KR136742 B1** - 1998-04-29
- 6 Method of manufacturing a semiconductor device readily capable of removing
contaminants from a silicon substrate**
Publication info: **US5444001 A** - 1995-08-22

Data supplied from the *esp@cenet* database - Worldwide

CONSTITUTION: A first process wherein an oxide film 3 is formed on a semiconductor circuit device forming surface of a silicon single crystal semiconductor substrate 1, a second process wherein a polycrystalline silicon film 4 is formed on the oxide film 3, and a third process wherein the oxide film 3 and the polycrystalline silicon film 4 are removed are provided.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-196490

(43) 公開日 平成6年(1994)7月15日

(51) Int. Cl. ⁵

H01L 21/322

識別記号

P 8617-4M

M 8617-4M

Q 8617-4M

R 8617-4M

Y 8617-4M

F I

審査請求 未請求 請求項の数7 (全12頁)

(21) 出願番号 特願平4-347134

(22) 出願日 平成4年(1992)12月25日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 ▲徳▼山 理子

東京都港区芝五丁目7番1号 日本電気株式会社内

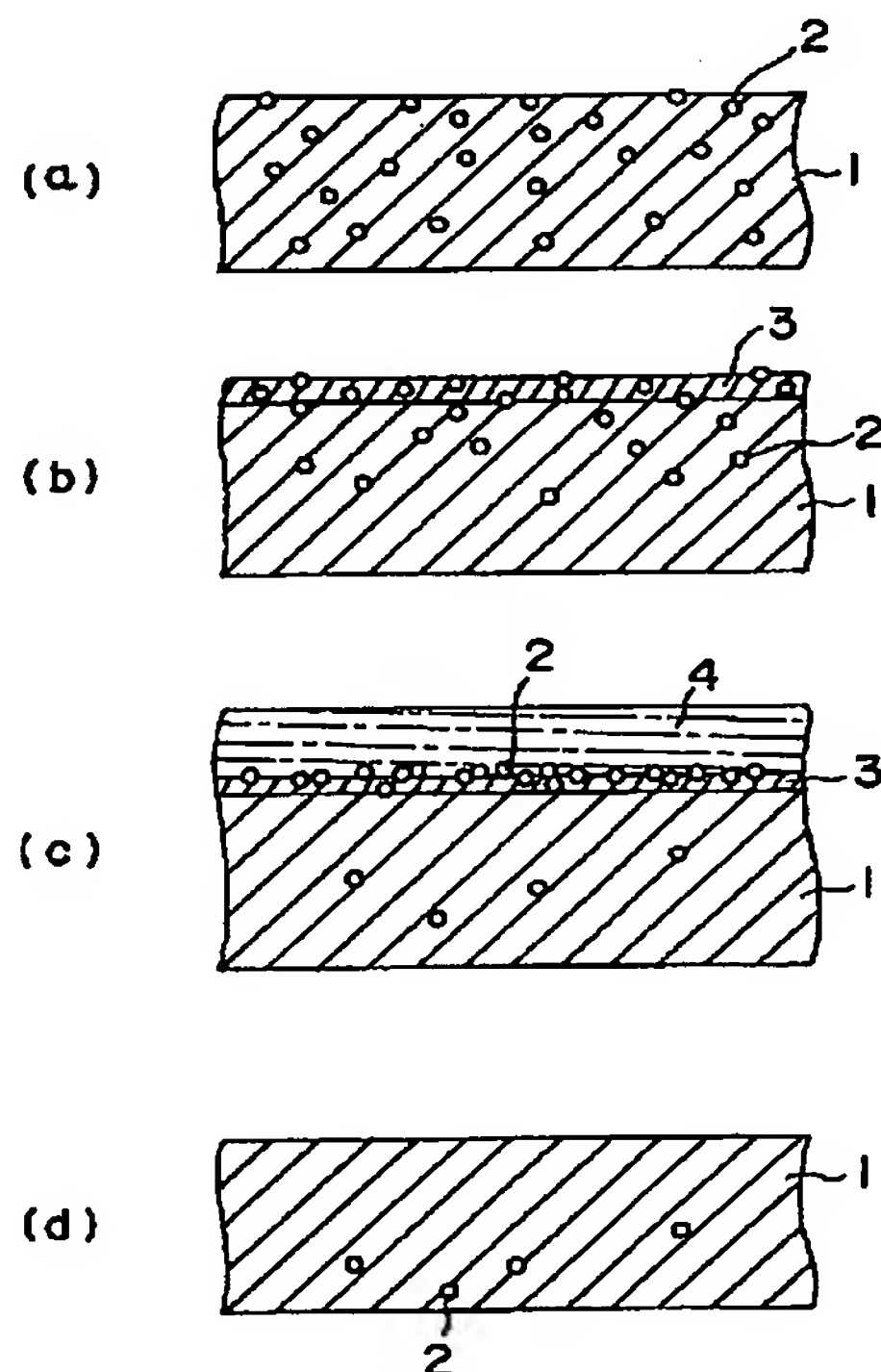
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 シリコン単結晶半導体基板上に半導体回路素子を製造する過程において、汚染物質の除去を容易に行なうことのできる半導体装置の製造方法を提供すること。

【構成】 シリコン単結晶半導体基板1の半導体回路素子形成面に酸化膜3を形成する工程と、前記酸化膜3上に多結晶シリコン膜4を形成する工程と、前記酸化膜3及び多結晶シリコン膜4を除去する工程を有する。



【特許請求の範囲】

【請求項 1】 シリコン単結晶半導体基板上に半導体回路素子を製造する方法において、

前記シリコン単結晶半導体基板に酸化膜を形成する酸化膜形成工程と、

前記酸化膜上に多結晶シリコン膜を形成する多結晶シリコン膜形成工程と、

前記酸化膜及び多結晶シリコン膜を除去する除去工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、

前記酸化膜形成工程の前処理として、前記半導体回路素子形成面に、素子分離用の選択酸化膜を形成する選択酸化膜形成工程を有することを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 記載の半導体装置の製造方法において、

前記除去工程の前処理として、前記酸化膜及び多結晶シリコン膜に熱処理を施す熱処理工程を有することを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 3 記載の半導体装置の製造方法において、

前記熱処理が 1 1 0 0℃以上の高温熱処理と、8 0 0℃以下の低温熱処理を含むイントリンシックゲッタリングを施す熱処理とを有することを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1 ～ 4 記載のいずれかの半導体装置の製造方法において、

前記多結晶シリコン膜形成工程の後処理として、前記多結晶シリコン膜に不純物拡散を行なう不純物拡散工程を有することを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 1 ～ 5 記載のいずれかの半導体装置の製造方法において、

前記酸化膜形成工程の前処理として、前記シリコン単結晶半導体基板の半導体回路素子形成面に対向する面に、裏面歪みを施す裏面歪工程を有することを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 1 ～ 6 記載のいずれかの半導体装置の製造方法において、

前記除去工程は、前記シリコン単結晶半導体基板の半導体回路素子形成面にのみ形成された多結晶シリコン膜を、除去することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 本発明は半導体装置の製造方法に関し、特にシリコン半導体基板表面及びその近傍に存在し、半導体回路素子特性を劣化させる原因となる重金属等の汚染物質を低減する半導体装置の製造方法に関する。

【 0 0 0 2 】

【従来の技術】 従来、シリコン半導体基板の表面及びその近傍の重金属汚染物質を低減する方法は、次の通りであった。

【 0 0 0 3 】 まず、図 1 2 (a) に示すように、シリコン基板 1 を酸化する。次に、図 1 2 (b) に示すように、シリコン基板 1 の表面に酸化膜 3 を形成する。この場合の酸化条件は、例えば、9 5 0℃でウェット酸化を行ない、4 0 0 オングストローム程度の酸化膜とする。

【 0 0 0 4 】 この酸化膜 3 には、図 1 2 (b) に示すように、シリコン基板 1 の表面及びその近傍に存在していた重金属等の汚染物質 2 の一部が捕獲される。その後、酸化膜 3 をフッ化水素酸水溶液でエッチングして除去する (図 1 2 (c) 参照) 。

【 0 0 0 5 】 また、次の方法もある。まず、図 1 3

(a) に示すように、シリコン基板 1 を酸化する。次に図 1 3 (b) に示すように、シリコン基板 1 の表裏両面に酸化膜 3、3 を形成する。この場合、酸化条件は、例えば、9 5 0℃でウェット酸化を行ない、4 0 0 オングストローム程度の酸化膜とする。

【 0 0 0 6 】 この酸化膜 3 には、図 1 3 (b) に示すように、シリコン基板 1 の表裏両面及びその近傍に存在していた重金属等の汚染物質 2 の一部が捕獲される。その後、酸化膜 3 をフッ化水素酸水溶液でエッチングして除去する (図 1 3 (c) 参照) 。

【 0 0 0 7 】 汚染を除去する方法としては、一般にイントリンシックゲッタリング (以下、I G という) やエクストリンシックゲッタリング (以下、E G という) といった方法がある。

【 0 0 0 8 】 I G は、シリコン半導体基板内部の酸素析出に汚染物質を捕獲させて、シリコン半導体基板表面及びその近傍の汚染物質を低減するものである。E G は、シリコン半導体基板の回路素子形成面をシリコン半導体基板の表側と考えると、これに対向する一主面、すなわち、裏面に結晶欠陥を導入し、これに汚染物質を捕獲するものである。

【 0 0 0 9 】 シリコン半導体基板の裏面に結晶欠陥を導入するのは、半導体回路素子形成前または、形成途中において行われるが、いくつかの方法があげられる。例えば、シリコン半導体基板の裏面に、S i O などの細粒を吹き付けたり、レーザー照射を行い、表面を熔融凝固させたりしてシリコン半導体基板裏面に物理的に損傷を与えるバックサイドダメージ法、裏面にイオン注入を行い、結晶格子を損傷させるイオン注入法、裏面に過剰のドーパントを拡散させて結晶格子を歪ませる方法などである。

【 0 0 1 0 】 熱処理を施すと、前記の方法によって結晶格子に損傷を与えられたシリコン半導体基板裏面には、結晶欠陥が多数誘発され、重金属などの汚染物質はこれらに捕獲される。

【 0 0 1 1 】 一方、シリコン半導体基板内部に酸素析出

を導入するためには、高音熱処理を行って、シリコン半導体基板の表面近傍に酸素濃度の低い領域を形成した後、核形成のための低温熱処理、欠陥の核を成長させて酸素析出を導入するための高音熱処理を行う。なお I G 処理を効果的に行うためには、 $1 \sim 2 \times 10^{10} \text{ atoms/cm}^2$ の酸素濃度が必要である。

【0012】

【発明が解決しようとする課題】しかしながら、従来の方法では、除去できる重金属等の汚染物質は、酸化膜にとり込まれたもののみであり、十分とはいえない。特に、予め厚い酸化膜に覆われた部分をもつ構造である場合、厚い酸化膜部分に取り込まれた汚染物質の除去は困難であるとの問題がある。

【0013】また、従来の方法においても、酸化膜に取り込まれる汚染物質は、表面近傍に存在するものが殆どであり、比較的深いところにある汚染物質は十分に除去できないとの問題がある。

【0014】さらに、基板表面近傍に酸素析出物などがある場合、この析出などに重金属などの汚染物質が捕獲される。このように、基板表面近傍に捕獲された汚染物質は、酸化膜に取り込まれにくいため、酸化膜を除去しても素子形成領域に汚染物質が残留してしまうとの問題もある。

【0015】そこで、本発明の技術的課題は、上記欠点に鑑み、汚染物質の除去を容易に行なうことのできる、半導体装置の製造方法を提供することにある。

【0016】

【課題を解決するための手段】本発明によれば、シリコン単結晶半導体基板上に半導体回路素子を製造する方法において、前記シリコン単結晶半導体基板に酸化膜を形成する酸化膜形成工程と、前記酸化膜上に多結晶シリコン膜を形成する多結晶シリコン膜形成工程と、前記酸化膜及び多結晶シリコン膜を除去する除去工程とを有することを特徴とする半導体装置の製造方法が得られる。

【0017】また、本発明によれば、前記半導体装置の製造方法において、前記酸化膜形成工程の前処理として、前記半導体回路素子形成面に、素子分離用の選択酸化膜を形成する選択酸化膜形成工程を有することを特徴とする半導体装置の製造方法が得られる。

【0018】また、本発明によれば、前記半導体装置の製造方法において、前記除去工程の前処理として、前記酸化膜及び多結晶シリコン膜に熱処理を施す熱処理工程を有することを特徴とする半導体装置の製造方法が得られる。

【0019】また、本発明によれば、前記半導体装置の製造方法において、前記熱処理が 1100°C 以上の高温熱処理と、 800°C 以下の低温熱処理を含むイントリンシックゲッタリングを施す熱処理とを有することを特徴とする半導体装置の製造方法が得られる。

【0020】また、本発明によれば、前記半導体装置の

製造方法において、前記多結晶シリコン膜形成工程の後処理として、前記多結晶シリコン膜に不純物拡散を行なう不純物拡散工程を有することを特徴とする半導体装置の製造方法が得られる。

【0021】また、本発明によれば、前記半導体装置の製造方法において、前記酸化膜形成工程の前処理として、前記シリコン単結晶半導体基板の半導体回路素子形成面に対向する面に、裏面歪みを施す裏面歪工程を有することを特徴とする半導体装置の製造方法が得られる。

【0022】また、本発明によれば、前記半導体装置の製造方法において、前記除去工程は、前記シリコン単結晶半導体基板の半導体回路素子形成面にのみ形成された多結晶シリコン膜を、除去することを特徴とする半導体装置の製造方法が得られる。

【0023】

【作用】酸化膜上に多結晶シリコン膜を形成することにより、重金属汚染物質が、酸化膜と多結晶シリコン膜との界面に捕獲される。

【0024】

【実施例】次に、本発明の実施例を図面を参照して説明する。

－実施例 1－

図 1 は本発明の一実施例を説明した半導体装置製造工程における半導体装置の断面図である。

【0025】工程 1. 先ず、図 1 (a) に示したように、シリコン基板 1 の表面及び表面近傍に、例えば、鉄等の重金属汚染物質 2 が存在する。

【0026】工程 2. ここで、シリコン基板 1 の上に酸化膜 3 を形成すると、重金属汚染物質 2 の一部は酸化膜 3 の内部や、酸化膜 3 とシリコン膜 1 との界面に捕獲される (図 1 (b))。

【0027】工程 3. 次に酸化膜 3 の上に多結晶シリコン膜 4 を、例えば 4000 \AA オングストローム堆積させる。この堆積条件は、例えば、温度 650°C 、圧力 1 torr 、ガスはシランを用い、流量は 500 sccm 程度でよい。さらに、多結晶シリコン膜 4 にリン拡散を 850°C 、60 分の条件で行なう。

【0028】この結果、図 1 (c) に示すように、重金属汚染物質 2 は、主に多結晶シリコン膜 4 と酸化膜 3 の界面付近に集中する。

【0029】工程 4. つづいて、多結晶シリコン膜 4 と酸化膜 3 を所謂ウェットエッチにて除去する。これにより、シリコン基板 1 の表面及びその近傍での重金属汚染を著しく低減することができる (図 1 (d))。

－実施例 2－

図 2 は本発明の実施例 2 を説明した半導体装置製造工程における半導体装置の断面図である。

【0030】本例では、図 2 (a) に示すように、シリコン基板 1 の表面の一部に、例えば 600 mm もの厚い素子分離酸化膜 6 が形成されている点を除けば、前述の

実施例 1 と同様の工程をたどる。

【0031】すなわち、シリコン基板 1 を酸化し、酸化膜 3 を形成後（図 2（b））、多結晶シリコン膜 4 を堆積し、多結晶シリコン膜にリン拡散を施す（図 2（c））。

【0032】次いで、捕獲した重金属汚染物質 2 ごと、多結晶シリコン膜 4 及び酸化膜 3 を除去する（図 2（d））。

【0033】本例では、素子分離酸化膜 6 が存在することにより、基板表面に段差が生じ、さらに応力の集中が生じ、汚染物質を蓄積しやすくなっている。そして、酸化膜 6 の端の部分に重金属汚染物質 2' が集中しやすい。しかも、Fe 等は酸化膜上に集まる傾向がある。

【0034】このため、多結晶シリコン膜 4 を用いることによる汚染物質除去の効果は、前述の実施例 1 の場合よりもさらに大きい。

【0035】以上説明したように、各実施例は、薄い酸化膜上に形成した多結晶シリコン膜によって、半導体基板中の重金属汚染を、酸化膜及び多結晶シリコン膜界面に捕獲することができるので、酸化膜のみの場合に比較し、より多くの重金属汚染物質を捕獲することができるという結果を得る。

【0036】特に、LOCOS 等の素子分離を形成後、汚染物質の除去を行なうと、Fe 等の重金属が LOCOS 端の酸化膜上に集まりやすい性質があるため、効果が一層大きくなる。

－実施例 3－

図 3 は本発明の実施例 3 を説明した半導体装置製造工程における半導体装置の断面図である。

【0037】工程 1. 図 3（a）に示すように、シリコン基板 1 の表面及び表面近傍に例えば鉄のような重金属汚染物質 2 が存在する。

【0038】工程 2. 図 3（b）に示すように、シリコン基板 1 の上に熱酸化を行なうことによって、例えば約 400 オングストロームの酸化膜 3 を形成すると、重金属汚染物質 2 の一部は、酸化膜 3 の内部や酸化膜 3 とシリコン基板 1 との界面に捕獲される。

【0039】工程 3. 次に酸化膜 3 上に多結晶シリコン膜 4 を例えば 4000 オングストロームさせる。堆積条件は、例えば、温度 650℃、圧力 1 torr、ガスはシランを用い、流量は 500 sccm 程度でよい。さらに、多結晶シリコン膜 4 にリン拡散を 820℃で 60 分の条件で行なう。この結果、図 3（c）に示すように、重金属汚染物質 2 は主に多結晶シリコン膜 4 と酸化膜 3 の界面付近に集中する。

【0040】工程 4. ところで、シリコン基板 1 の内部には、酸素原子 12 が存在している。ここで、例えば、1200℃で 4 時間の高温熱処理を行なうと、図 3

（d）に示すように、表面近傍から酸素 13 が外方拡散し、基板表面に酸素濃度の低い領域が形成される。

【0041】工程 5. 次いで、例えば、1000℃で 8 時間の熱処理を行なうと、シリコン基板 1 の内部に酸素析出物 2 が形成され、シリコン基板 1 の内部に残留していた重金属汚染物質 2 は、酸素析出物 2 に捕獲される図 3（e）。

【0042】酸素析出物 14 は、図 3（d）で示す低酸素領域、即ち表面近傍には形成されないので、表面近傍に残量していた重金属汚染物質 2 は素子形成領域から除去することができる。

【0043】工程 6. さらに多結晶シリコン膜 4 と酸化膜 3 をウェットエッチングで除去すれば、多結晶シリコン膜 4 と酸化膜 3 とに捕獲されていた重金属汚染物質は、シリコン基板 1 上から除去できる図 3（f）。

【0044】以上、本例では、イントリンシックゲッタリングを施す処理が終了してから、多結晶シリコン膜及び酸化膜の除去を行なったが、熱処理工程の前や、途中に行なってもよい。

－実施例 4－

図 4 は、本発明の実施例 4 を説明した半導体装置製造工程における半導体装置の断面図である。

【0045】図 4（a）～（c）までは、前述の工程 1～工程 3 までと同様である。

【0046】ただし、図 4（d）に示す低酸素領域を形成した後、600℃から 800℃までの低温熱処理を施し、析出核を形成するという工程図 4（e）を加える点異なる。

【0047】つまり、シリコン基板 1 を酸化し、酸化膜 3 を形成（図 4（b））後、多結晶シリコン基板 4 を堆積させ、多結晶シリコン基板 4 にリン拡散を施す（図 4（c））。

【0048】ここで例えば、1200℃で 4 時間の高温熱処理を行なうと、図 4（d）に示すように、基板の表面近傍から酸素 13 が外方拡散し、表面から図 4（d）に示すように基板の表面から酸素 13 が外方拡散し、表面から約 50 μm の深さまで酸素濃度の低い領域が形成される。

【0049】次に、700℃で 16 時間の比較的低温の熱処理を行なうと、図 4（e）に示すように析出核 8 が形成され、さらに、1000℃で 8 時間の熱処理を施すことにより酸素析出物 14 が析出する。

【0050】この酸素析出物 14 は低酸素領域には形成されないので、酸素析出物 14 に捕獲されることになる重金属汚染もまた、低酸素領域、すなわち、基板表面から 50 μm 以内の領域から除去される（図 4（f））。

【0051】さらに、多結晶シリコン膜 4 と酸化膜 3 をウェットエッチングにて除去すれば、多結晶シリコン膜 4 と酸化膜 3 とに捕獲されていた重金属汚染物質はシリコン基板 1 から除去できる（図 4（g））。

【0052】以上述べたように、本例では、前記実施例 3 と同様に、多結晶シリコン膜及び酸化膜の除去はイン

トリンシクゲッタリングのための処理の前や途中に行なってもよい。

－実施例 5－

図 5 は、本発明の実施例 5 を説明した半導体装置製造工程における半導体装置の断面図である。

【0053】工程 1. 図 5 (a) において、シリコン基板 1 の内部には、酸素原子 16 が存在している。

【0054】工程 2. 例えば、1200℃で4時間の熱処理を行うと、図 5 (b) に示すように表面近傍から酸素 13 が外方拡散し、表面から約 50 μm の深さまで酸素濃度の低い領域が形成される。

【0055】工程 3. 次に、1000℃で8時間の熱処理を行うと、シリコン基板 1 の内部に酸素析出物 14 が生成する (図 5 (c))。この酸素析出物 14 は低酸素領域には形成されず、表面から十分離れたシリコン基板 1 の内部にだけ形成される。

【0056】工程 4. 図 5 (d) に重金属汚染物質 2 の分布の一例を示す。ここで、重金属汚染不純物は、内部の酸素析出物に捕獲されないで、デバイス活性層を形成させるシリコン基板 1 の表面上に残存している。

【0057】工程 5. ここで、熱酸化を行い、酸化膜 6 を、例えば約 400 オングストローム成長させると、図 5 (e) に示すように重金属汚染物質 2 の一部は酸化膜 3 の内部や酸化膜 3 とシリコン基板 1 との界面または、酸素析出物 4 に捕獲される。

【0058】工程 6. 次に図 5 (f) に示すように、酸化膜 3 上に多結晶シリコン膜 4 を例えば、4000 オングストローム堆積する。堆積条件は、例えば、温度 650℃、圧力 1 torr、ガスはシランを用い、流量は 500 sccm 程度でよい。さらに、多結晶シリコン膜 4 にリン拡散を 820℃、60 分の条件で行う。この結果、図 5 (f) に示すように重金属汚染物質 2 は多結晶シリコン膜 4 と酸化膜 3 の界面付近及びシリコン基板 1 の内部の酸素析出物 14 に集中する。

【0059】工程 7. 続いて、多結晶シリコン膜 4 と酸化膜 3 をウェットエッチングにて除去すれば、多結晶シリコン膜 4 と酸化膜 3 とに捕獲されていた重金属汚染物質 2 はシリコン基板 1 から除去される (図 5 (g))。酸素析出物 14 は、素子形成領域から十分離れた場所にだけ存在するので、重金属汚染物質 2 及び酸素析出物 14 のような結晶欠陥を素子形成領域から除去することができる。

－実施例 6－

図 6 は、本発明の実施例 6 を説明した半導体装置製造工程における半導体装置の断面図である。

【0060】図 6 (b) に示したように低酸素領域を形成した後 600℃～800℃の範囲内の低温熱処理を施し、析出核を形成するという工程 (図 6 (c)) を加える点を除けば、第 3 の実施例 (図 5 参照) と同様の工程をたどる。

【0061】工程 1. 図 6 (a) のようにシリコン基板 1 中に存在する酸素原子 2 を例えば 1200℃で4時間の高温熱処理を行うことにより外方拡散させる。

【0062】工程 2. 図 6 (b) のように表面近傍に酸素濃度の低い領域が形成される。

【0063】工程 3. 次に 700℃で16時間の熱処理を行うと、図 6 (c) のように析出核 8 が形成され、さらに 1000℃で8時間の熱処理を施すことにより、酸素析出物 14 が発生する。酸素析出物 14 は、低酸素濃度である表面近傍には形成されない (図 6 (d))。図 6 (e) に重金属汚染物質 2 の分布の一例を示す。

【0064】工程 4. シリコン基板 1 を熱酸化し、酸化膜 3 を形成する (図 6 (f))。

【0065】工程 5. その後、多結晶シリコン基板 4 を堆積し、多結晶シリコン膜 4 にリン拡散を施す (図 6 (g))。

【0066】工程 6. 重金属汚染物質 2 は、多結晶シリコン膜 4 と酸化膜 3 の界面付近及びシリコン基板 1 の内部の酸素析出物 14 に集中する。そこで、多結晶シリコン膜 4 と酸化膜 3 を除去すれば、多結晶シリコン膜 4 と酸化膜 3 とに捕獲されていた重金属汚染物質 5 はシリコン基板 1 から除去される (図 6 (h))。

－実施例 7－

上述の実施例 6 の例では、表面近傍に低酸素領域形成後、600℃～800℃という比較的低温な熱処理を加えることにより、析出核を生成し、制御性よく酸素析出物を形成できるので、素子形成領域での重金属汚染や酸素析出のような結晶欠陥の低減に、より効果的である。

【0067】すなわち、上述の各実施例を通じ、薄い酸化膜上に形成した多結晶シリコン膜によって、半導体基板中の重金属汚染を酸化膜と多結晶シリコン膜界面に捕獲することができるので、酸化膜のみの場合に比較し、より多くの重金属汚染を捕獲することができる。

【0068】さらに、イントリンシクゲッタリングを施すための熱処理を行なう、例えば酸化膜及び多結晶シリコン膜形成前に行っておくことにより、表面近傍の素子形成領域での酸素析出物を除去することができるし、あるいは、素子形成領域の比較的深い部分にある汚染物質をも除去し、素子形成領域該に捕獲するため効果は一層大きくなる。また、析出物に捕獲されることによって残留する素子形成領域での汚染をも低減できる。

－実施例 8－

図 7 は本発明の実施例 8 を説明した半導体装置製造工程における半導体装置の断面図である。

【0069】工程 1. 図 7 (a) に示すように、シリコン基板 1 の表面及び表面近傍に、例えば鉄などのような重金属汚染物質 2 が存在する。

【0070】工程 2. 図 7 (b) に示すように、シリコン基板 1 の上に酸化膜 3 を形成すると、重金属汚染物質 2 の一部は、酸化膜 3 の内部や酸化膜 3 とシリコン基板

1との界面に捕獲される。

【0071】工程3. 次に酸化膜3の上に、多結晶シリコン膜4を、例えば4000オングストローム堆積させる。堆積条件は、例えば、温度650℃、圧力1torr、ガスはシランを用い、流量は500sccm程度でよい。さらに、多結晶シリコン膜4にリン拡散を820℃で60分の条件で行なう。この結果、図7(c)に示すように、重金属汚染物質2は、主に多結晶シリコン膜4と酸化膜3との界面付近に集中する。

【0072】工程4. つづいて多結晶シリコン膜4と酸化膜3とをウェットエッチングにて除去すれば、シリコン基板1の表面及びその近傍での重金属汚染を著しく低減することができる(図7(d))。

－実施例9－

図8は本発明の実施例9を説明した半導体装置製造工程における半導体装置の断面図である。

【0073】工程1. 図8(a)に示すように、シリコン基板1の表面の一部に厚い素子分離酸化膜6(例えば6000オングストローム)が形成されている点を除けば、前記図7に基づく例と同様の工程である。

【0074】工程2. 図8(b)に示すように、シリコン基板1を酸化し、酸化膜3を形成する。

【0075】工程3. その後、図8(c)に示すように多結晶シリコン膜4を堆積し、多結晶シリコン膜4にリン拡散を施す。

【0076】工程4. 次いで、図8(d)に示すように、捕獲した重金属汚染物質2ごと、多結晶シリコン膜4及び酸化膜3を除去する。

【0077】本実施例では、素子分離酸化膜6が存在することにより基板に段差が生じ、さらに応力の集中が生じるため、汚染物質を蓄積しやすくなっている。とくに、素子分離酸化膜6の端の部分に重金属汚染物質2が集中しやすい。しかも、鉄などは、酸化膜上に集まる傾向がある。このため、多結晶シリコン膜を用いることによる汚染物質除去効果は、前記図7に基づく例の場合よりさらに大きい。

－実施例10－

図9は本発明の実施例10を説明した半導体装置製造工程における半導体装置の断面図である。

【0078】工程1. 図9(a)に示すように、シリコン基板1の内部には酸素原子12が存在する。

【0079】工程2. 例えば、1200℃で4時間の高温熱処理を行なうと、図9(b)に示すように、表面近傍から酸素13が外方拡散し、表面から約50μmの深さまで酸素濃度の低い領域が形成される。

【0080】工程3. 次に、700℃で16時間の比較的低温の熱処理を行なうと、図9(c)に示すように析出核15が形成され、さらに、1000℃で8時間の熱処理を施すことにより、シリコン基板1の内部に酸素析出物14が析出する。この酸素析出物14は低酸素領域

には形成されず、費用面の素子形成領域から十分離れたシリコン基板の内部にだけ形成される(図(d))。

【0081】工程4. 図9(e)に重金属汚染物質2の分布の一例を示す。重金属汚染物質2の一部が、基板内部の酸素析出物14に捕獲されないで、デバイス活性層が形成されるシリコン基板表面に残存している。

【0082】工程5. ここで熱酸化を行い、酸化膜3を例えば400オングストローム成長させると、図9

(f)に示すように重金属汚染物質2の一部は、酸化膜3の内部や酸化膜3とシリコン膜シリコン基板1との界面または酸素析出物14に捕獲される。

【0083】工程6. 次に図9(g)に示すように、酸化膜3上に多結晶シリコン膜4を堆積し、多結晶シリコン膜4にリン拡散を施すと、重金属汚染物質2は、主に多結晶シリコン膜4と酸化膜3の界面付近に集中する。

【0084】工程7. つづいて、多結晶シリコン膜4と酸化膜3とをウェットエッチングにて除去すれば、多結晶シリコン膜4と酸化膜3に捕獲されていた重金属汚染物質2はシリコン基板1から除去される(図9(h))。

【0085】本実施例では、重金属汚染物質を捕獲する酸素析出物14が、デバイス活性領域から十分離れた領域にだけ存在するように処理するので、デバイス活性領域での汚染の低減に、より効果的である。

－実施例11－

図10は本発明の実施例11を説明した半導体装置製造工程における半導体装置の断面図である。

【0086】工程1. 図10(a)に示すように、シリコン基板1はシリコン単結晶インゴットから切断、研磨、エッチングの工程を経て得られる。

【0087】工程2. このシリコン基板1に、サイドブラスト法によって、図10(b)に示すようなサンドブラスト損傷17を与える。

【0088】工程3. 次に、シリコン基板1をAr(アルゴン)ガス中で600℃で加熱保温した上で、XeCl(塩化キセノン)をレーザー源とするエキシマレーザーをレーザーエネルギー密度0.2J/cmパルスでサンドブラスト損傷17上に照射する。損傷面は表面から0.2μmまで熔融して図10(c)にみられるようにレーザーアニール層18を形成する。

【0089】工程4. その後、シリコン基板1を降温させ、損傷面と相対する面を鏡面に仕上げて、シリコン基板1を得る。図10(d)に重金属汚染物質2の分布の一例を示す。この重金属汚染物質2はデバイス活性層が形成されるシリコン基板1の表面に残存している。

【0090】工程5. 図10(e)に示すように、シリコン基板1を熱酸化して酸化膜3を形成する。

【0091】工程6. その後、図10(f)に示すように、多結晶シリコン膜4を堆積し、多結晶シリコン膜4にリン拡散を施す。重金属汚染物質2は多結晶シリコン

膜 4 と酸化膜 3 の界面付近及びシリコン基板 1 の裏面のレーザーアニール層 1 8 やサイドブラスト損傷 1 7 に集中する。

【0 0 9 2】工程 7. 図 1 0 (g) に示すように、多結晶シリコン膜 4 と酸化膜 3 を除去すれば、多結晶シリコン膜 4 と酸化膜 3 とに捕獲されていた重金属汚染物質 2 はシリコン基板 1 から除去される。

【0 0 9 3】本実施例では、エクストリンシックゲッタリングの方法としてサンドブラスト法とレーザー堆積法を挙げたが、その他のバックサイドダメージ法、裏面にイオン注入を行い結晶格子を損傷させるイオン注入法や裏面に過剰のドーパントを拡散させて結晶格子を歪ませる方法などを用いてもよい。

【0 0 9 4】また、イントリンシックゲッタリングを施す熱処理、例えば 1 1 0 0 ℃ 以上高温熱処理と 8 0 0 ℃ 以下の低温熱処理の組合せを行うことによって、デバイス活性領域である表面近傍の酸素析出を除去する工程を追加すれば、さらに有効である。

－実施例 1 2－

図 1 1 は本発明の実施例 1 2 を説明した半導体装置製造工程における半導体装置の断面図である。

【0 0 9 5】工程 1. 図 1 1 (a) に示すように、シリコン基板 1 の表面及び表面近傍に、例えば鉄等の重金属汚染物質 2 が存在する。

【0 0 9 6】工程 2. 図 1 1 (b) に示すように、シリコン基板 1 を酸化し、酸化膜 3 を形成する。

【0 0 9 7】工程 3. 図 1 1 (c) に示すように、多結晶シリコン膜 4 を堆積し、リン拡散を施す。

【0 0 9 8】工程 4. 裏面に保護膜を形成しておき、多結晶シリコン膜 4 及び酸化膜 3 のウェットエッチングを行えば、素子形成面に形成された多結晶シリコン膜 4 と酸化膜 3 のみ除去され、デバイス活性領域であるシリコン基板の表面及びその近傍における重金属汚染物質も同時に除去される (図 1 1 (d)) 。一方、裏面の多結晶シリコン膜 4 及び酸化膜 3 は残される。

－実施例 1 3－

裏面に多結晶シリコン膜を残し、デッターシンクとして活用することによって、デバイス活性領域から重金属等の汚染物質を除去する。この場合、素子形成面の多結晶シリコン膜と酸化膜を除去した後の工程においても、汚染除去の効果を持続することができる。

【0 0 9 9】すなわち、上述した実施例によれば、薄い酸化膜上に形成した多結晶シリコン膜によって、半導体基板中の重金属汚染物質を酸化膜と多結晶シリコン膜との界面に捕獲することができるので、酸化膜のみの場合に比較して、より多くの重金属汚染物質を捕獲し、デバ

イス活性領域から除去できるという利益を得る。

【0 1 0 0】特に、L O C O S 等の素子分離を形成後、本例の汚染除去を行うと、鉄等の重金属が L O C O S 端の酸化膜上に集まりやすい性質があるため、効果は一層大きくなる。

【0 1 0 1】また、イントリンシックゲッタリングのための熱処理やエクストリンシックゲッタリングのための裏面歪の形成を行うことにより、半導体基板の表面近傍のデバイス活性領域での汚染をより効果的に低減することができる。

【0 1 0 2】

【発明の効果】以上説明した通り、本発明によれば、汚染物質の除去を容易に行なうことのできる半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

【図 1】本発明の実施例 1 を説明した半導体装置製造工程図である。

【図 2】本発明の実施例 2 を説明した半導体装置製造工程図である。

【図 3】本発明の実施例 3 を説明した半導体装置製造工程図である。

【図 4】本発明の実施例 4 を説明した半導体装置製造工程図である。

【図 5】本発明の実施例 5 を説明した半導体装置製造工程図である。

【図 6】本発明の実施例 6 及び 7 を説明した半導体装置製造工程図である。

【図 7】本発明の実施例 8 を説明した半導体装置製造工程図である。

【図 8】本発明の実施例 9 を説明した半導体装置製造工程図である。

【図 9】本発明の実施例 1 0 を説明した半導体装置製造工程図である。

【図 1 0】本発明の実施例 1 1 を説明した半導体装置製造工程図である。

【図 1 1】本発明の実施例 1 2 を説明した半導体装置製造工程図である。

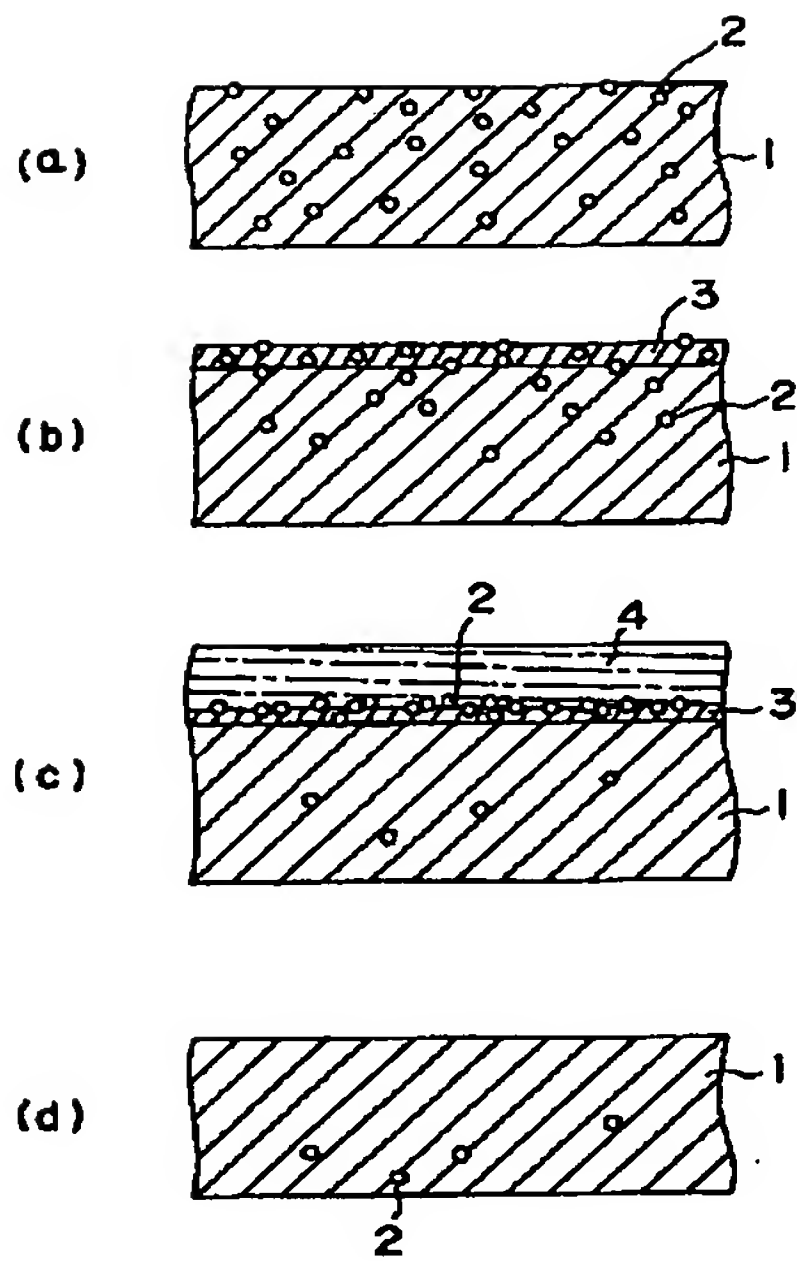
【図 1 2】従来技術の半導体装置製造工程を説明した図である。

【図 1 3】従来技術の半導体装置製造工程を説明した図である。

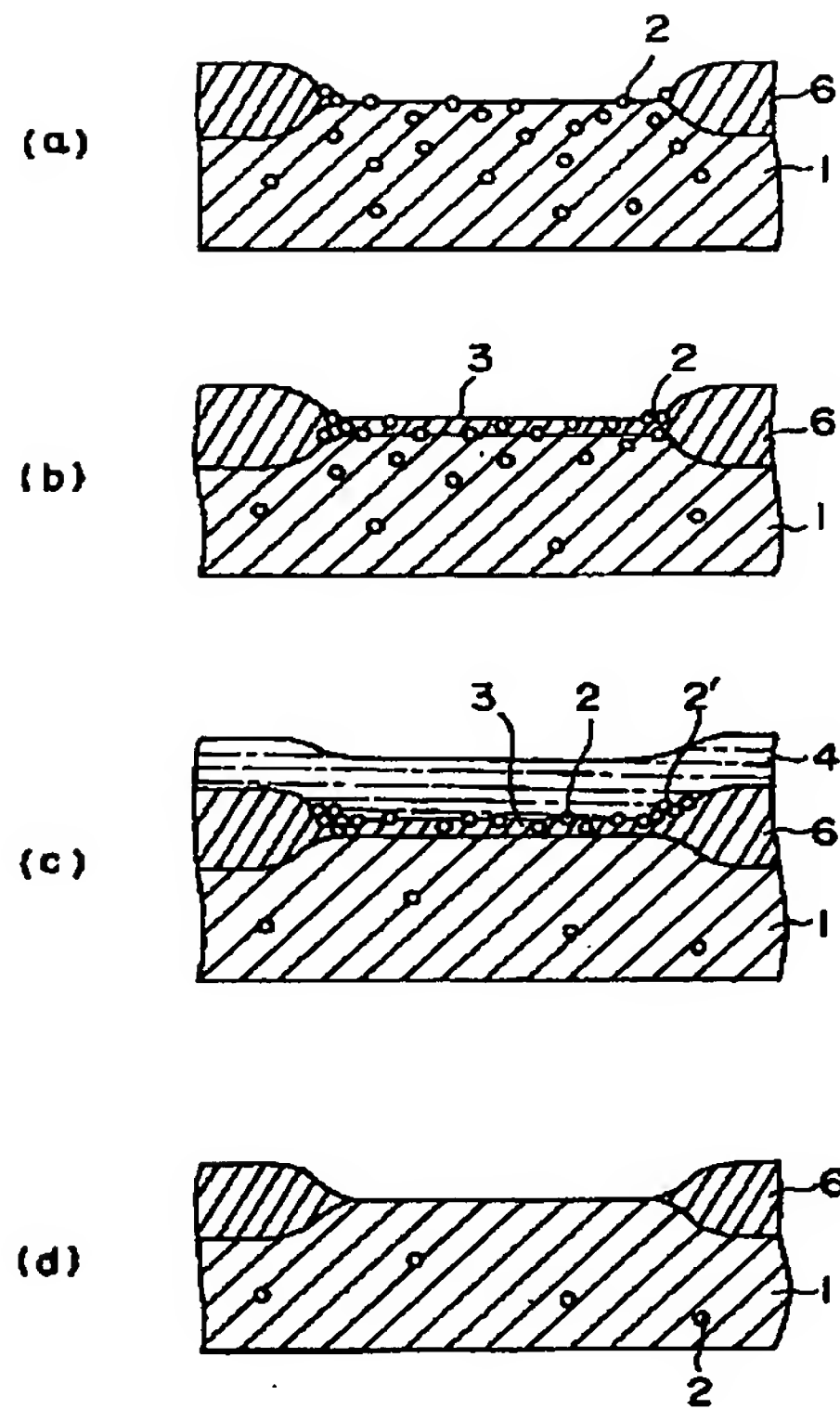
【符号の説明】

- 1 シリコン基板
- 2 重金属汚染物質
- 3 酸化膜
- 4 多結晶シリコン膜

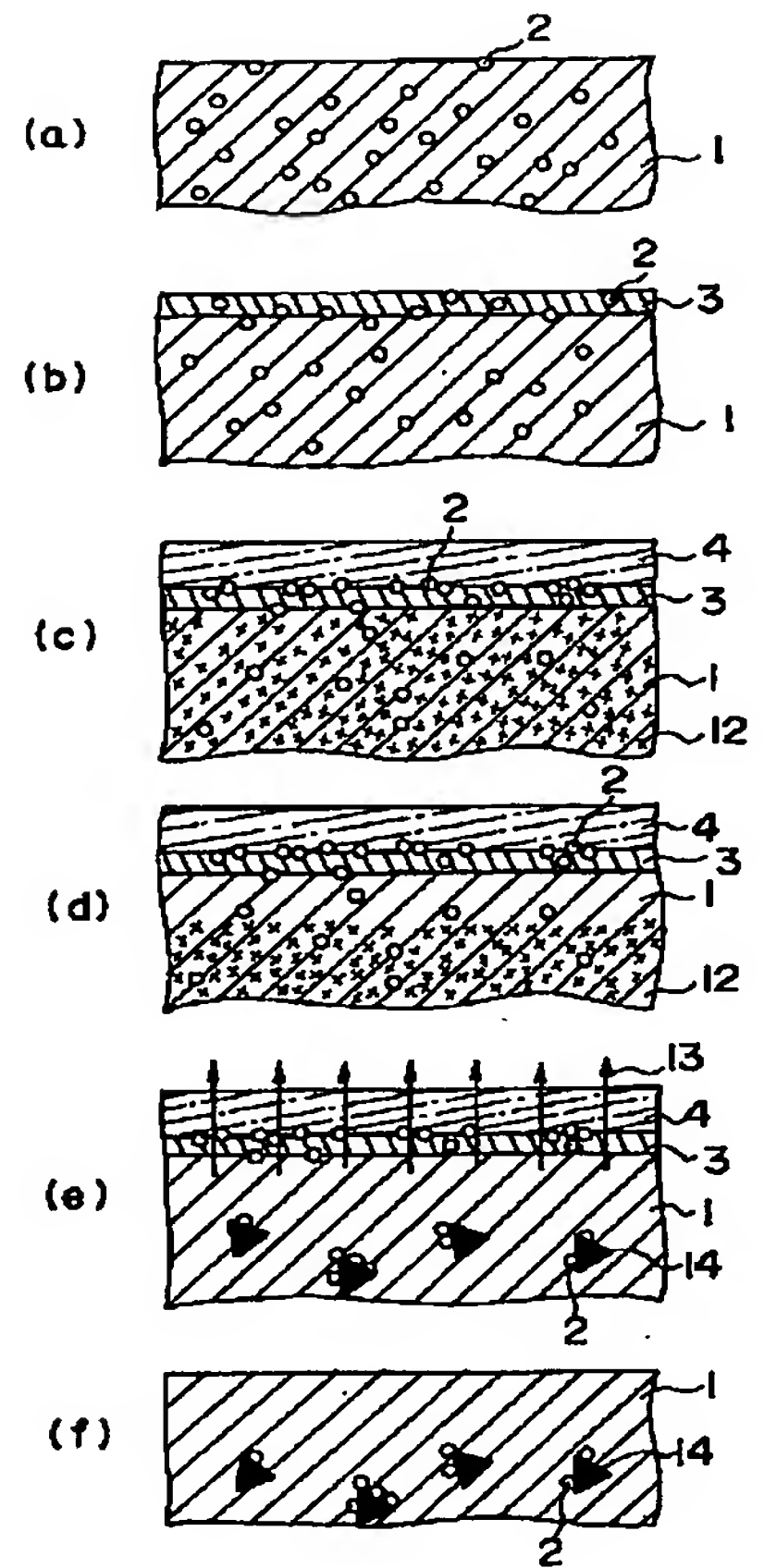
【図1】



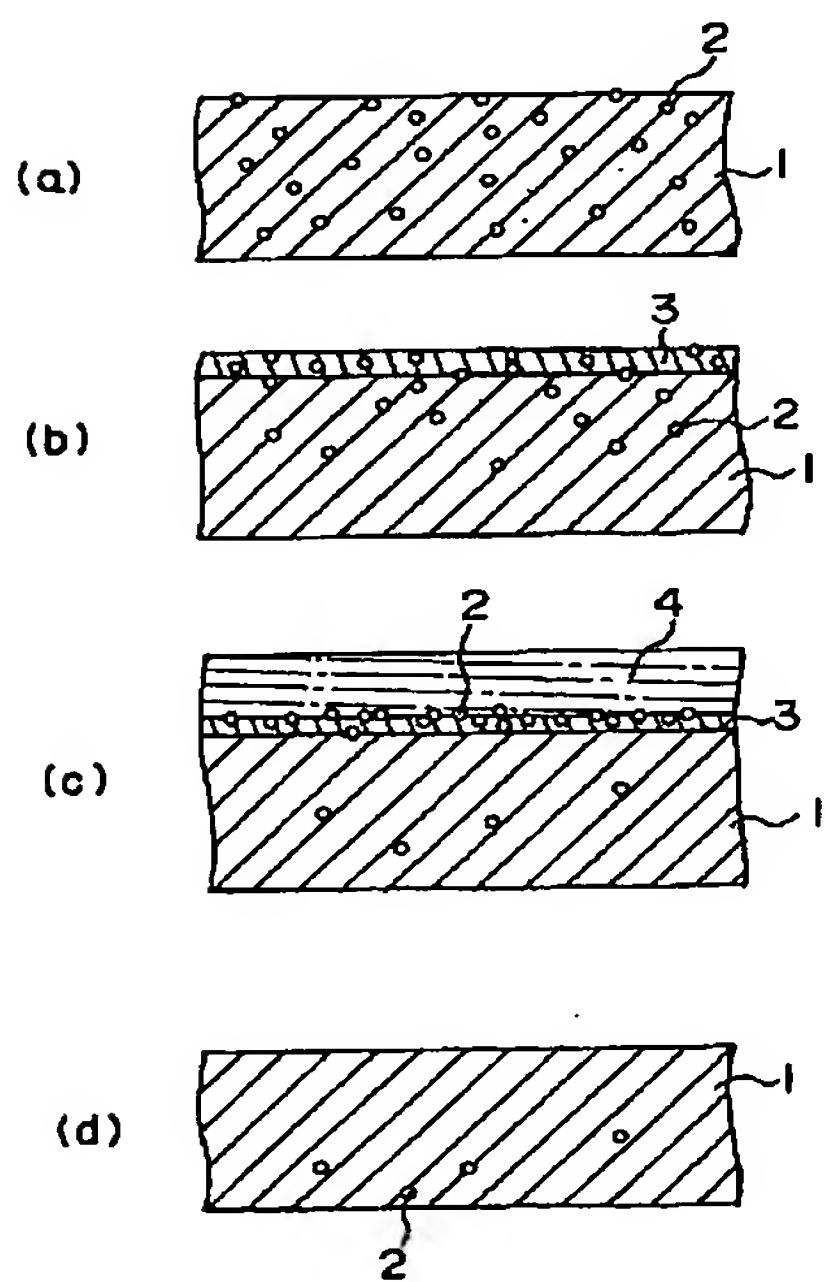
【図2】



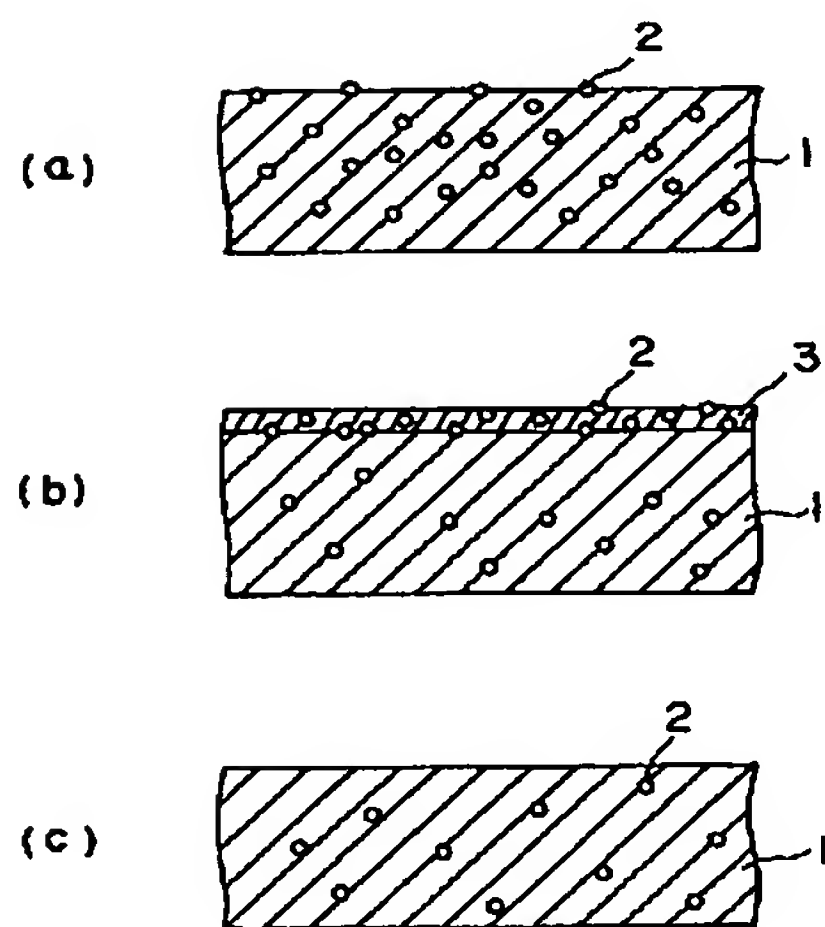
【図3】



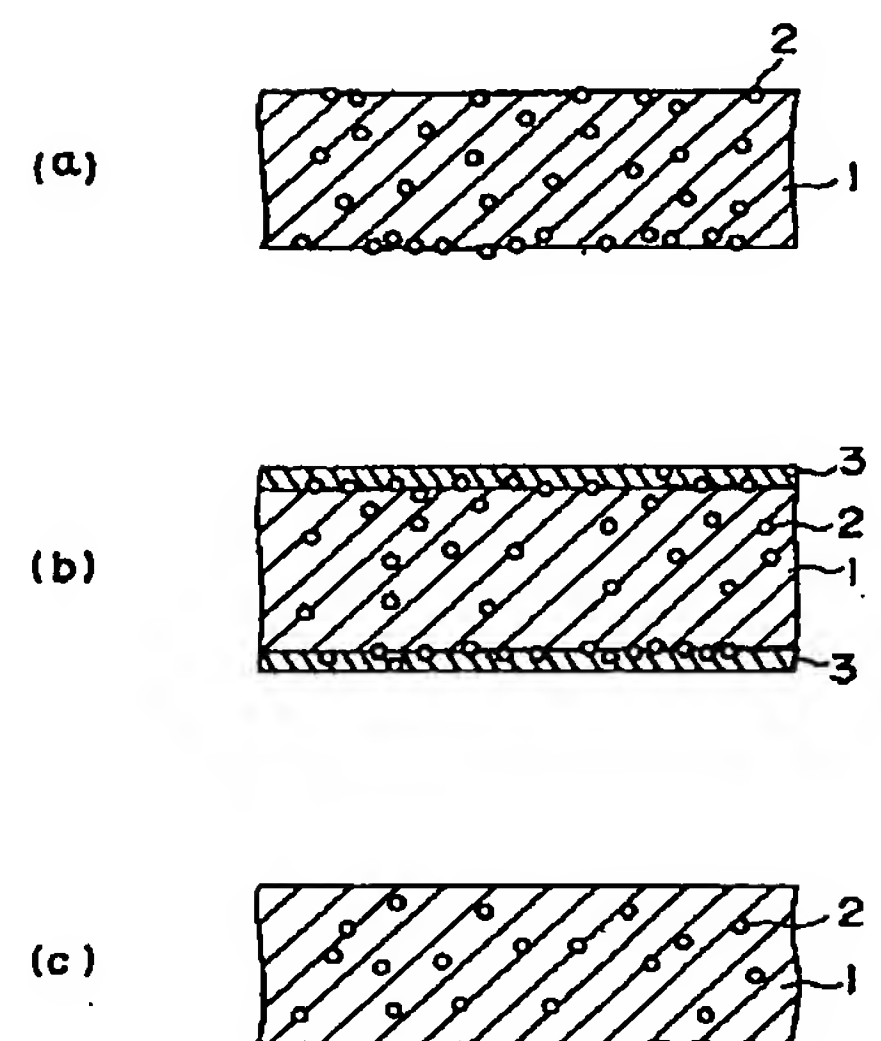
【図7】



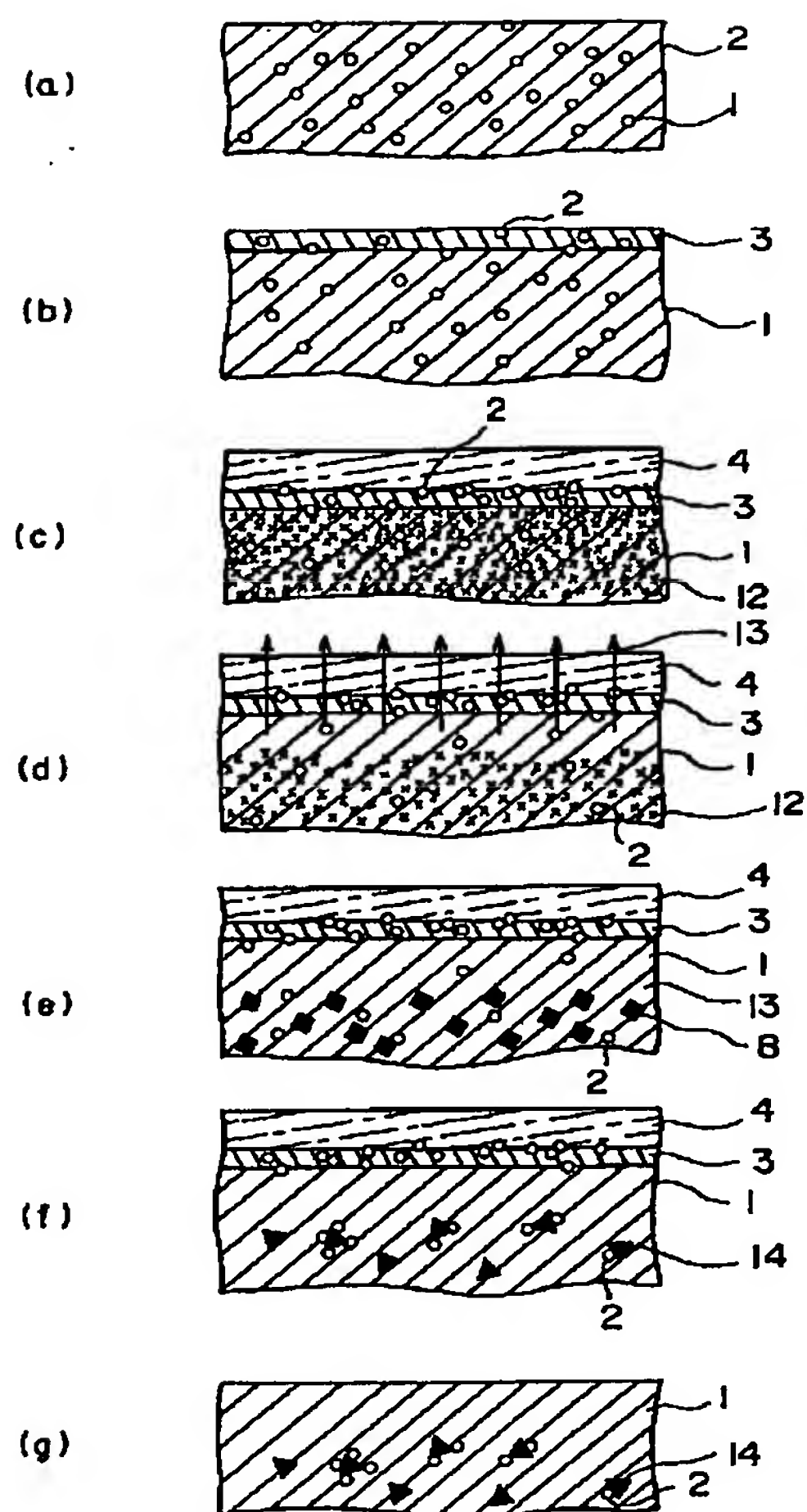
【図12】



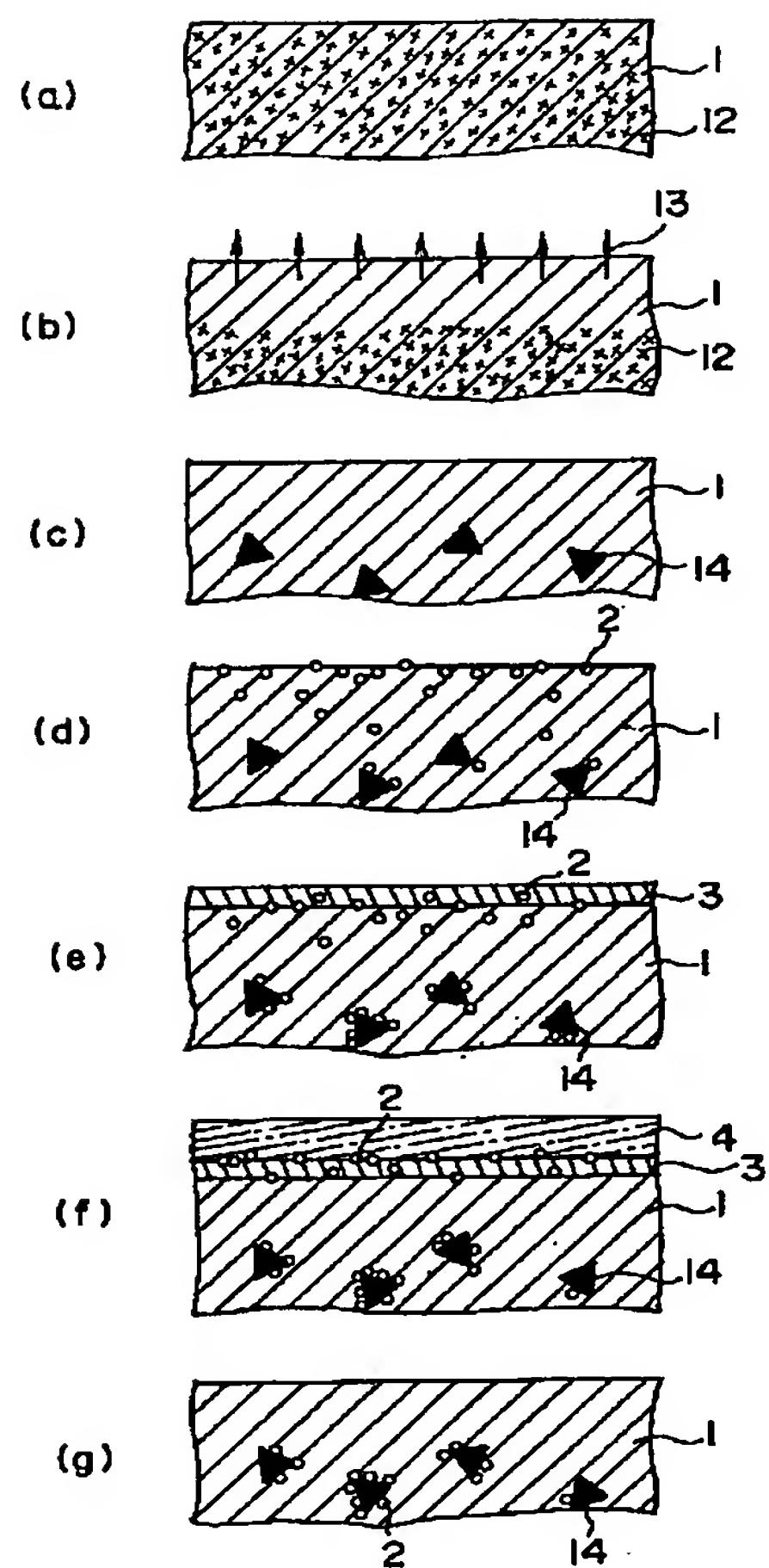
【図13】



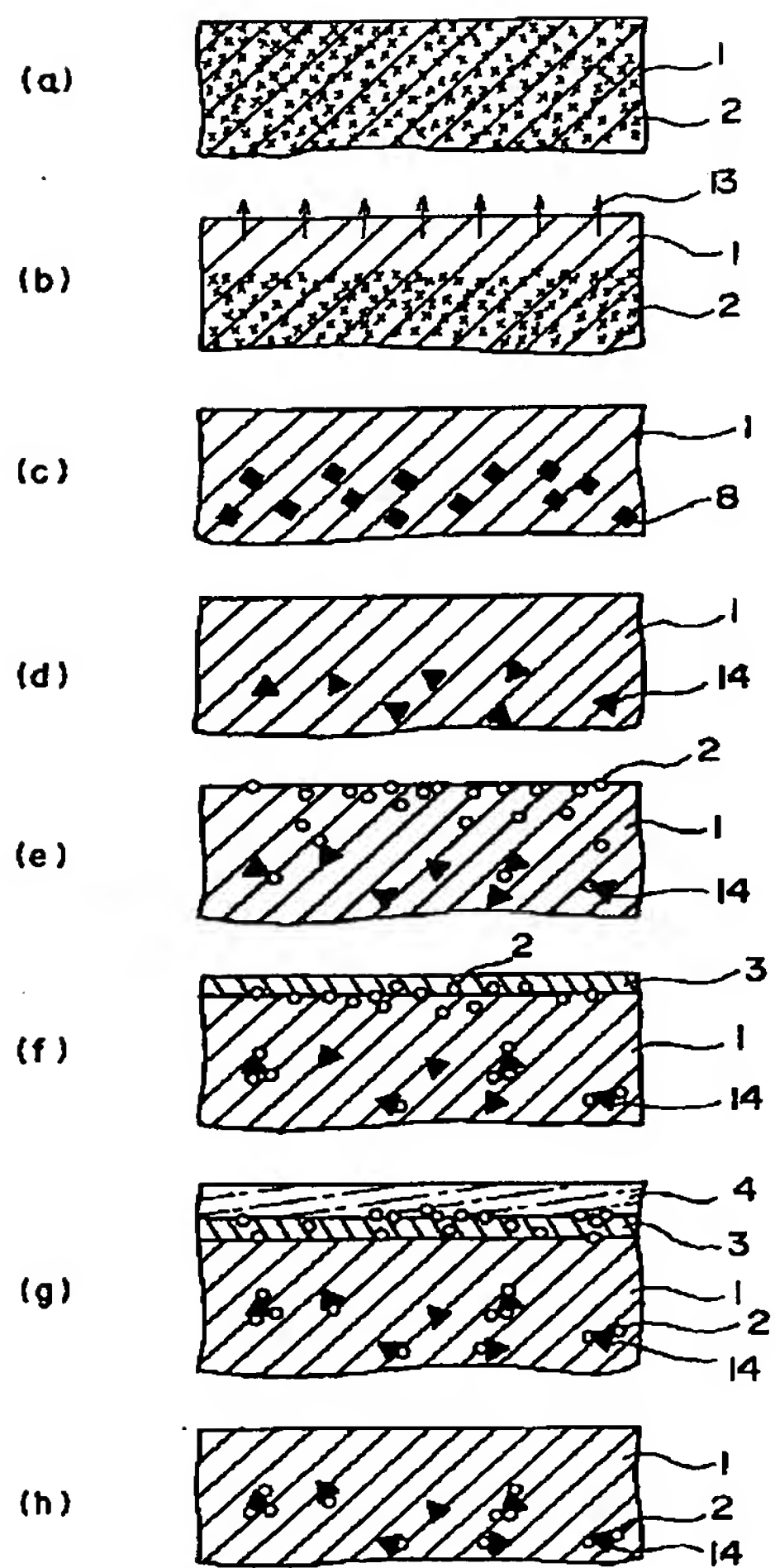
【図4】



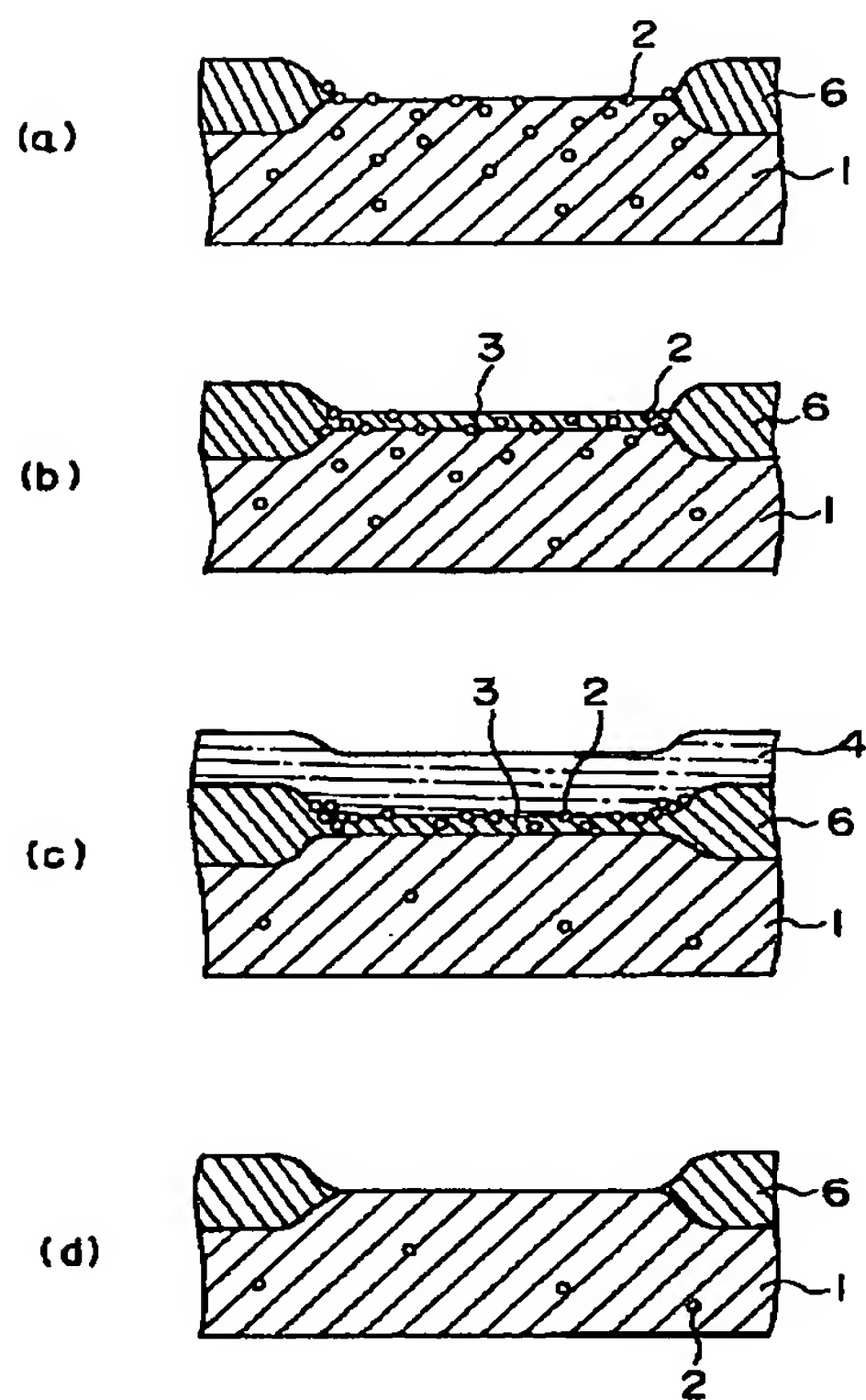
【図5】



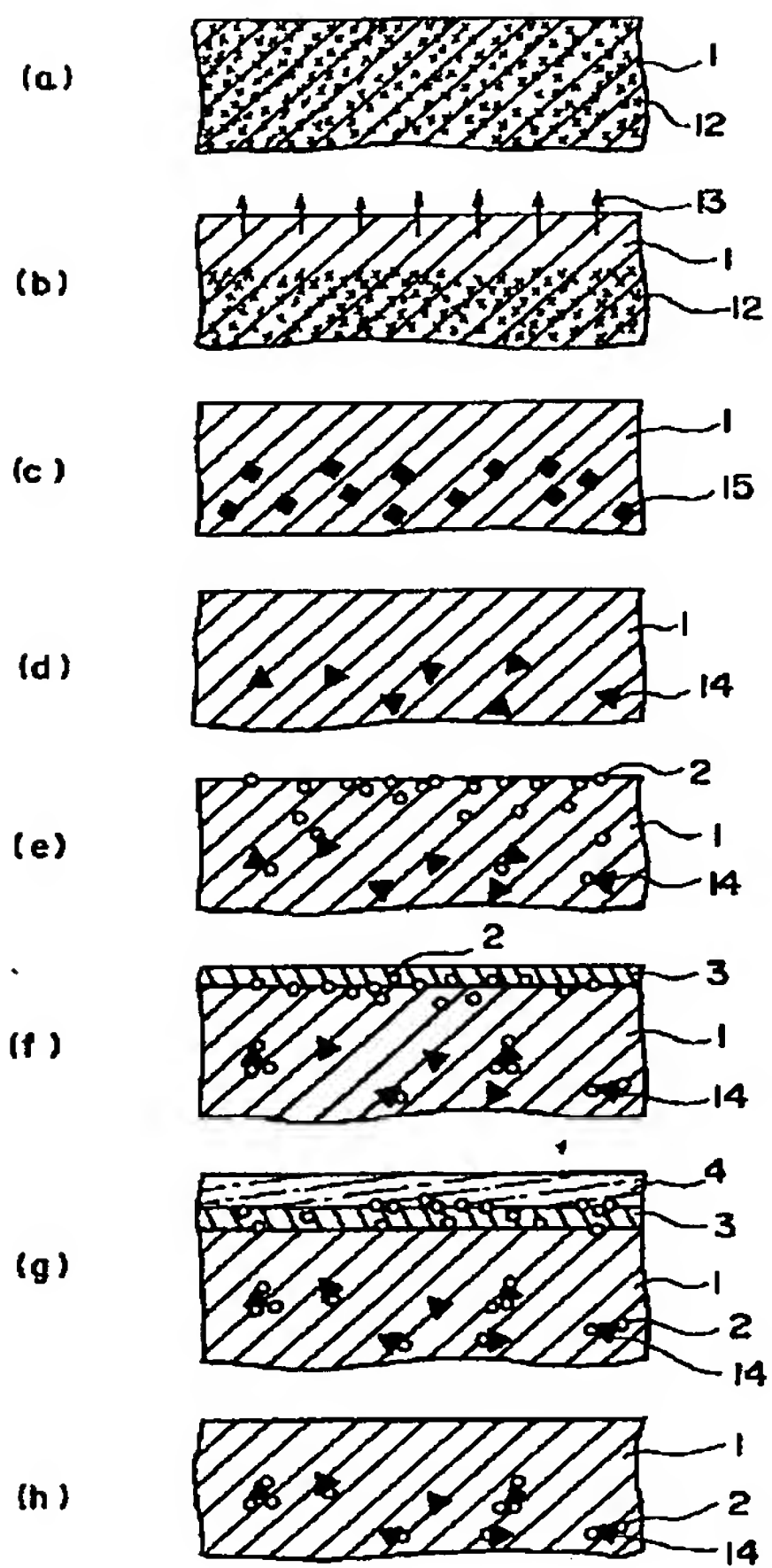
【図6】



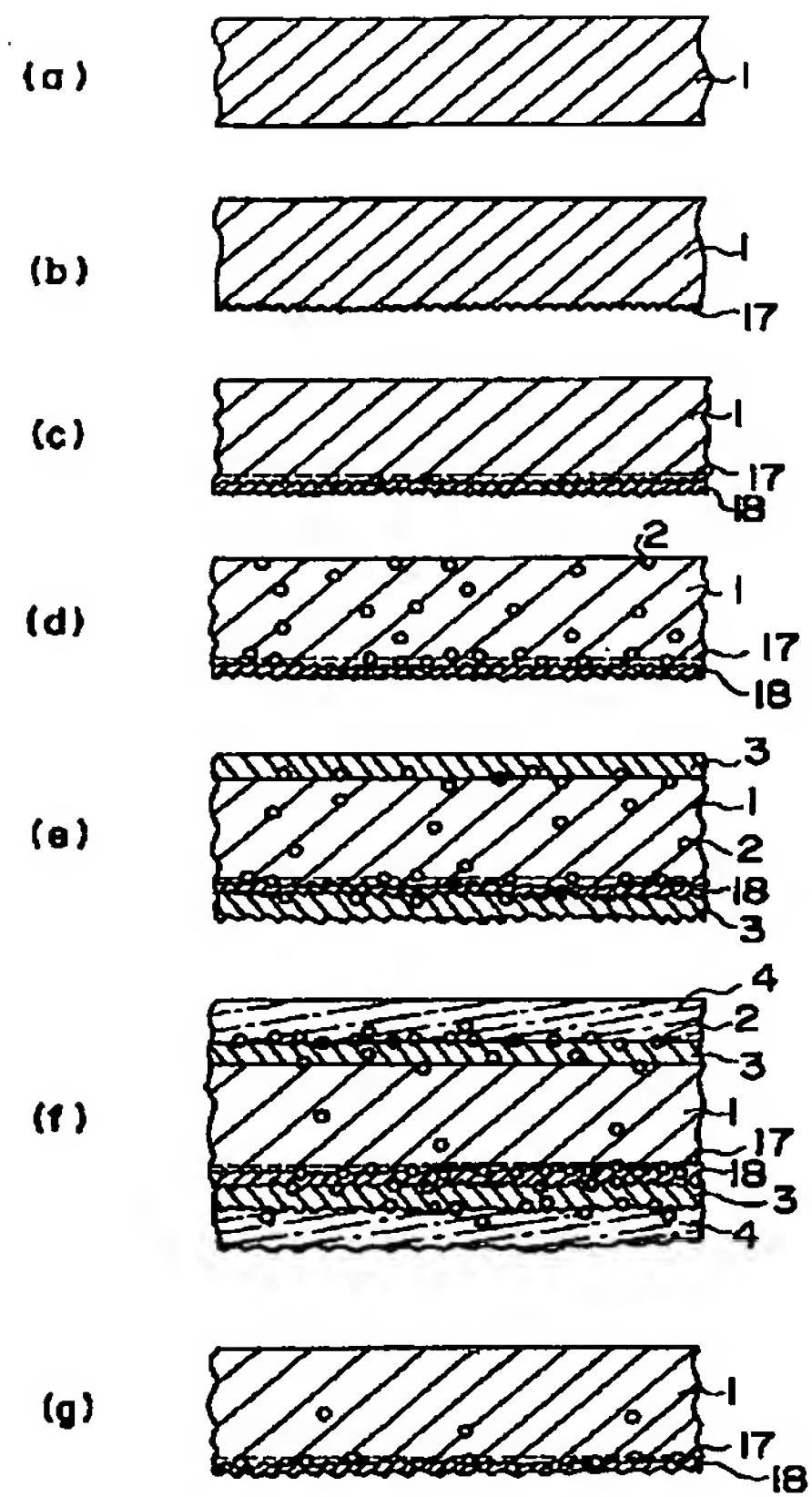
【図8】



【図9】



【図10】



【図 1 1】

